

DDS

We have two types of DDS (Direct Digital Synthesis) with *USB* port or *Serial* port.

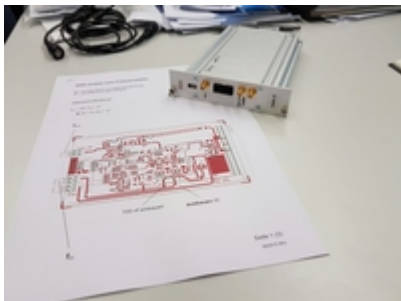


Use the right software for programming!

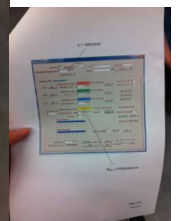
Default values:

- For generate a **fix** output frequency you can use two reference possibilities:
 1. "Internal Clock Frequency: 400 MHz"
 2. "External Clock Frequency: 100 MHz". Input power should be $10 \text{ dBm} < P < 20 \text{ dBm}$.
- The output frequency can be only less than the reference frequency!
- When using **divider** setup with any input and output frequency, the input power should be:
 - $f_{\text{in}} < 150 \text{ MHz} \Rightarrow 10 \text{ dBm} < P < 20 \text{ dBm}$
 - $f_{\text{in}} > 150 \text{ MHz} \Rightarrow P \sim 0 \text{ dBm}$
 - Divided by 2 isn't possible! (said Andreas from PTB)

USB-DDS



- Software *DDS* for USB Type PTB DDS
- Datasheet/Manual:



Modifikation to frequency divider

- Datasheet/Manual:

Anleitung zum Teilerumbau

Serial-DDS



- Software *Terminal* for Serial Type DDS
- Datasheet/Manual:

Präzisionsfrequenzteiler



Der Präzisionsfrequenzteiler kann eine Frequenz mit einer Auflösung von 48 bit teilen. Die Ausgangsfrequenz kann dabei je nach Type maximal den halben Wert der Eingangsfrequenz (DDSF) oder maximal den Wert der Eingangsfrequenz (DDSF2F) annehmen. Beträgt die zu teilende Frequenz zB. 100 MHz, so kann die Ausgangsfrequenz Werte von 0* - 50 MHz bzw. 0* - 100 MHz annehmen. Die Auflösung beträgt dabei 40 nano Hz.

Einstellen kann man die Ausgangsfrequenz mit einem kleinen Windows Tool über die serielle Schnittstelle von einem PC. Die eingestellte Frequenz bleibt auch nach dem Ausschalten des Teilers erhalten, so dass der PC nicht ständig benötigt wird.

Insgesamt gibt es drei unterschiedliche Typen:

DDSF ist ein Teiler, dessen Ausgangsfrequenz maximal der halben Eingangsfrequenz betragen kann.

DDSF2F ist ein Teiler mit einem internen Verdoppler, so dass die Ausgangsfrequenz Werte bis zur Eingangsfrequenz annehmen kann.

DDSQF2F ist ein Teiler mit einem internen 100 MHz Oszillator und einem Verdoppler, so dass sich Ausgangsfrequenzen bis 100 MHz realisieren lassen (Frequenzgenerator). Der Eingang wird bei diesem Type nicht beschaltet. Die Spannungsversorgung beträgt bei allen Typen 7 - 15 VDC und wird über eine Steckerleiste an der Rückseite zugeführt.

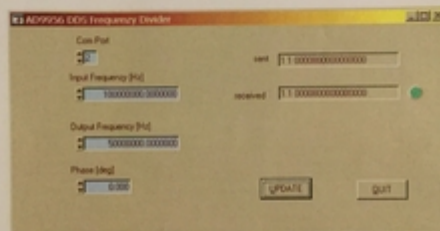
* Der Wert 0 Hz wird nicht erreicht, da Ein- und Ausgang AC gekoppelt sind.
Die untere Frequenz liegt typischerweise bei 400 kHz

Technische Daten:

	DDSF	DDSF2F	DDSQF2F
Versorgungsspannung	7 - 15 VDC	7 - 15 VDC	7 - 15 VDC
Stromaufnahme	200 mA	250 mA	290 mA
Eingangsfrequenz	max. 400 MHz	max. 200 MHz	intern 100 MHz
Ausgangsfrequenz	0* - 200 MHz	0* - 200 MHz	0* - 100 MHz
Eingangspegel	-5 - 0 dBm	-5 - 0 dBm	-----
Ausgangspegel	+2 dBm	+2 dBm	+2 dBm

Die Eingangs- und Ausgangspegel können bautechnisch verändert werden.

Zum Programmieren der Teiler wird das unten aufgeführte Windows Tool verwendet. Dabei wird der Teiler durch ein serielles Kabel mit dem PC verbunden. Wählen muss man lediglich den Com Port des Rechners, die Verwendete Eingangsfrequenz und die gewünschte Ausgangsfrequenz. Durch eine grüne oder rote LED wird die erfolgreiche oder fehlgeschlagene Kommunikation angezeigt.



Neben der Frequenz lässt sich auch die Phasenlage zwischen Eingangs- und Ausgangsfrequenz um 360 Grad in 0.022 Grad Schritten einstellen. Man kann den Teiler also auch als Phasenschieber verwenden.

* Der Wert 0 Hz wird nicht erreicht, da Ein- und Ausgang AC gekoppelt sind.
Die untere Frequenz liegt typischerweise bei 400 kHz

From:

<https://iqwiki.iqo.uni-hannover.de/> - IQwiki

Permanent link:

<https://iqwiki.iqo.uni-hannover.de/doku.php?id=groups:mg:dds&rev=1477504487>

Last update: 2016/10/26 17:54

